

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-161612

(43)Date of publication of application : 19.06.1998

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 08-325509

(71)Applicant : SONY CORP

(22)Date of filing : 05.12.1996

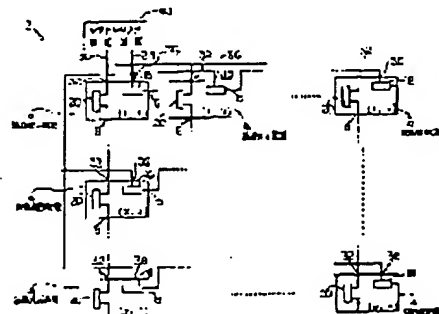
(72)Inventor : YOSHINE HIROYUKI

(54) MULTIPLE IMAGE PLANE LIQUID CRYSTAL DISPLAY UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the peripheral circuits, by supplying a switch panel for making each liquid crystal display unit supply an image signal to a picture element of the last frame or line, as a starting pulse of an adjacent liquid crystal display unit.

SOLUTION: When an H start pulse 34 is input from a shift resistor driving circuit 40, each H shift resistor 18 of a liquid crystal display unit 4 of the first frame successively generates the switch pulses in synchronization with the rise of the H clocks. And the last switch pulse is input to a H input terminal 36 of each liquid crystal display unit 4 of the second frame through a H output terminal 6, and supplied as a H start pulse 34 to the H shift resistor 18. Further when a V start pulse 30 is input from a shift resistor driving circuit 40, each V shift resistor of the liquid crystal display unit 4 of the first line successively generates the switch pulses. And the last pulse is supplied to the V shift resistor 20 of each liquid crystal display unit 4 of the second line, as the V start pulse 30.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-161612

(43) 公開日 平成10年(1998) 6月19日

(51) Int. Cl.⁶

G 0 9 G 3/36

G 0 2 F 1/133

識別記号

5 5 0

F I

G 0 9 G 3/36

G 0 2 F 1/133

5 5 0

審査請求 未請求 請求項の数 9 O L (全 9 項)

(21) 出願番号

特願平8-325509

(22) 出願日

平成 8 年 (1996) 12 月 5 日

(71) 出願人 000092185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 芳根 裕之

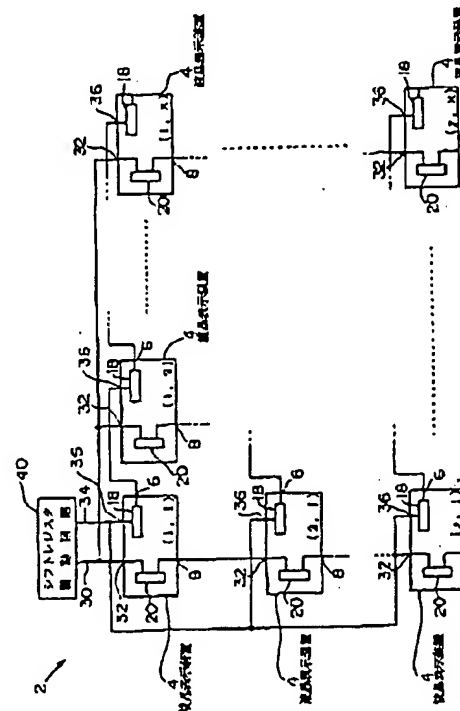
東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

(54) 【発明の名称】 マルチ画面液晶表示装置

(57) 【要約】

【課題】 周辺回路を大幅に削減する。

【解決手段】 液晶表示装置 4 の H シフトレジスタ 1 8 が最後の列の画素要素に映像信号を供給するために発生したスイッチパルスが、出力端 6 を通じて隣接する液晶表示装置 2 に供給され、その H シフトレジスタ 1 8 を駆動する H 開始パルス 3 4 として H シフトレジスタ 1 8 に入力される。一方、液晶表示装置 4 の V シフトレジスタ 2 0 が最後の行の画素要素に映像信号を供給するために発生したスイッチパルスが、出力端 8 を通じて隣接する液晶表示装置 2 に供給され、その V シフトレジスタ 2 0 を駆動する V 開始パルス 3 0 として V シフトレジスタ 2 0 に入力される。



【特許請求の範囲】

【請求項1】 複数の液晶表示装置を隣接配置して構成され、

各液晶表示装置は、

マトリクス状に配列された多数の画素要素と、

第1の開始パルスが入力されたとき、マトリクスの各列の前記画素要素ごとに順次、前記画素要素に映像信号を供給するスイッチ素子をオンするための第1のスイッチパルスを前記スイッチ素子に供給する第1のスキヤナと、

第2の開始パルスが入力されたとき、マトリクスの各行の前記画素要素ごとに順次、前記画素要素に映像信号を供給するスイッチ素子をオンするための第2のスイッチパルスを前記スイッチ素子に供給する第2のスキヤナと、を備えたマルチ画面液晶表示装置において、

前記第1または第2のスキヤナのいずれか一方は、最後の列または行の前記画素要素に映像信号を供給するための前記第1または第2のスイッチパルスと近接したタイミングでパルスを発生するパルス発生回路を含み、

このパルス発生回路が発生した前記パルスが、隣接する液晶表示装置の前記第1または第2のスキヤナに対して前記第1または第2の開始パルスとして供給される、ことを特徴とするマルチ画面液晶表示装置。

【請求項2】 前記パルス発生回路が発生する前記パルスは、最後の前記列または行の前記画素要素に映像信号を供給するための前記第1または第2のスイッチパルスであることを特徴とする請求項1記載のマルチ画面液晶表示装置。

【請求項3】 複数の液晶表示装置を隣接配置して構成され、各液晶表示装置は、マトリクス状に配列された多数の画素要素と、第1の開始パルスが入力されたとき、マトリクスの各列の前記画素要素ごとに順次、前記画素要素に映像信号を供給するスイッチ素子をオンするための第1のスイッチパルスを前記スイッチ素子に供給する第1のスキヤナと、第2の開始パルスが入力されたとき、マトリクスの各行の前記画素要素ごとに順次、前記画素要素に映像信号を供給するスイッチ素子をオンするための第2のスイッチパルスを前記スイッチ素子に供給する第2のスキヤナと、を備えたマルチ画面液晶表示装置において、

前記第1のスキヤナは、最後の列の前記画素要素に映像信号を供給するための前記第1のスイッチパルスと近接したタイミングでパルスを発生する第1のパルス発生回路を含み、

この第1のパルス発生回路が発生した前記パルスが、隣接する液晶表示装置の前記第1のスキヤナに対して前記第1の開始パルスとして供給され、

前記第2のスキヤナは、最後の行の前記画素要素に映像信号を供給するための前記第2のスイッチパルスと近接したタイミングで前記パルスを発生する第2のパルス発

生回路を含み、

この第2のパルス発生回路が発生した前記パルスが、隣接する液晶表示装置の前記第2のスキヤナに対して前記第2の開始パルスとして供給される、ことを特徴とするマルチ画面液晶表示装置。

【請求項4】 前記第1のパルス発生回路が発生する前記パルスは、最後の列の前記画素要素に映像信号を供給するための前記第1のスイッチパルスであることを特徴とする請求項3記載のマルチ画面液晶表示装置。

【請求項5】 前記第2のパルス発生回路が発生する前記パルスは、最後の行の前記画素要素に映像信号を供給するための前記第2のスイッチパルスであることを特徴とする請求項3記載のマルチ画面液晶表示装置。

【請求項6】 前記第1のパルス発生回路が発生する前記パルスは、最後の列の前記画素要素に映像信号を供給するための前記第1のスイッチパルスが生成された後、前記第1のスイッチパルスどうしの時間間隔と同一の時間間隔をおいて生成されることを特徴とする請求項3記載のマルチ画面液晶表示装置。

【請求項7】 前記第2のパルス発生回路が発生する前記パルスは、最後の行の前記画素要素に映像信号を供給するための前記第2のスイッチパルスが生成された後、前記第2のスイッチパルスどうしの時間間隔と同一の時間間隔をおいて生成されることを特徴とする請求項3記載のマルチ画面液晶表示装置。

【請求項8】 複数の列の前記画素要素に対して同一のタイミングで映像信号が供給されることを特徴とする請求項1ないし7のいずれかに記載のマルチ画面液晶表示装置。

【請求項9】 前記第1および第2のスキヤナはシフトレジスタを含んで構成されていることを特徴とする請求項1ないし8のいずれかに記載のマルチ画面液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の液晶表示装置を隣接配置してより大きい画面を構成するマルチ画面液晶表示装置に関するものである。

【0002】

【従来の技術】図5は従来の液晶表示装置の一例を示す回路構成図である。まず、この図を参照して従来の液晶表示装置について説明する。図5に示した液晶表示装置12は、基板14上に、多数の画素要素16、Hシフトレジスタ18（本発明に係わる第1のスキヤナ）、Vシフトレジスタ20（本発明に係わる第2のスキヤナ）、Hスイッチ素子22、Vスイッチ素子24などを配置して構成されている。画素要素16はマトリクス状に配列され（図では一部のみを示す）、それぞれコンデンサ26を含み、そのコンデンサ26に映像信号を蓄積することで、各画素要素16の液晶セルの光学的透過度に変化

して映像が形成される。なお、各コンデンサ26の一方の端子はいずれも共通電極28に接続されている。

【0003】Vスイッチ素子24は各画素要素16ごとに配置されており、Vスイッチ素子24がオンすることで映像信号が各画素要素16のコンデンサ26に供給される。そして、Vスイッチ素子24は各行ごとに制御端子が共通接続されており、したがって各行のVスイッチ素子24は一括してオン/オフ制御される。Vシフトレジスタ20は上記Vスイッチ素子24を各行ごとに順次オンさせるためのスイッチパルスPV1~PVp (pは正の整数) を各Vスイッチ素子24に供給する。Vシフトレジスタ20にはV開始パルス30 (本発明に係わる第2の開始パルス) がV入力端子32を通じて外部から入力される構成となっており、このV開始パルス30が入力されると、Vシフトレジスタ20は、同じく外部から供給されるVクロックVCKに同期して、最初の行 (図中、最も上の行) のVスイッチ素子24から順番に一定の時間間隔で各行のVスイッチ素子24をオンさせるためのスイッチパルスPV1~PVpをVスイッチ素子24に供給する。

【0004】この液晶表示装置12では、隣接するn列 (nは正の整数) の画素要素16に対して同時に映像信号が供給されるようになっている。そのため、Hスイッチ素子22はn列ごとに設けられ、各Hスイッチ素子22がオンすると、外部から同時に供給される映像信号V1~VnがHスイッチ素子22を通じて対応するn列の画素要素16に供給される。各Hスイッチ素子22のオン/オフは、Hシフトレジスタ18により制御される。Hシフトレジスタ18は、上記Hスイッチ素子22を順次オンさせるためのスイッチパルスPH1~PHm (mは正の整数) を各Hスイッチ素子22に供給する。Hシフトレジスタ18にはH開始パルス34 (本発明に係わる第1の開始パルス) がH入力端子36を通じて外部から入力される構成となっており、このH開始パルス34が入力されると、Hシフトレジスタ18は、同じく外部から供給されるHクロックHCKに同期して、画素要素16の最初のn列 (図中、最も左側のn列) に対応するHスイッチ素子22から順番に一定の時間間隔でHスイッチ素子22を順次オンさせるためのスイッチパルスPH1~PHmをHスイッチ素子22に供給する。

【0005】図6の(A)はHシフトレジスタ18の動作を示すタイミングチャート、(B)はVシフトレジスタ20の動作を示すタイミングチャートである。この図に示すように、Hシフトレジスタ18はH開始パルス34が入力されると、次のHクロックHCKの立ち上がり同期してスイッチパルスPH1を発生し、その後、次々に各HクロックHCKの立ち上がり同期してスイッチパルスPH2~PHmを発生する。一方、Vシフトレジスタ20はV開始パルス30が入力されると、次のVクロックVCKの立ち上がり同期してスイッチパルス

PV1を発生し、その後、次々に各VクロックVCKの立ち上がり同期してスイッチパルスPV2~PVpを発生する。なお、各スイッチパルスPV1~PVpは、すべてのHスイッチ素子22がオンする間、ハイレベルを維持している。したがって、各行の画素要素16ごとに順次、映像信号が書き込まれることになる。また、各行では上述のように連続するn列の画素要素16ごとに一括して映像信号が書き込まれる。なお、図6において、(A)の時間軸のスケールと、(B)の時間軸のスケールとは大きくことになっており、VクロックVCKの1周期は、HクロックHCKの1周期のm倍程度となっている。

【0006】このような液晶表示装置12を複数隣接配置することでより大きい画面のマルチ画面液晶表示装置が構成される。図7は従来のマルチ画面液晶表示装置の一例を示すブロック図である。このマルチ画面液晶表示装置38は、液晶表示装置12を、x列およびy行から成るマトリクス状に配列して構成されている。そして、上述のように液晶表示装置12を動作させるためには各液晶表示装置12にH開始パルス34およびV開始パルス30を供給する必要があるため、x×y台の液晶表示装置12のそれぞれに対して、これらのパルスを発生するシフトレジスタ駆動回路40が周辺回路として設けられている。

【0007】

【発明が解決しようとする課題】このように、従来のマルチ画面液晶表示装置38では、各液晶表示装置12ごとにH開始パルス34およびV開始パルス30を供給するためのシフトレジスタ駆動回路40を周辺回路として設けていたので、全体として回路規模が大きくなり、装置の小型化および低コスト化を図る上で不利であった。また、シフトレジスタ駆動回路40を設ける分だけ作業工数が増大するので、この点でも低コスト化に不利であった。そこで本発明の目的は、周辺回路の大幅な削減を実現したマルチ画面液晶表示装置38を提供することにある。

【0008】

【課題を解決するための手段】本発明は上記目的を達成するため、複数の液晶表示装置を隣接配置して構成され、各液晶表示装置が、マトリクス状に配列された多数の画素要素と、第1の開始パルスが入力されたとき、マトリクスの各列の前記画素要素ごとに順次、前記画素要素に映像信号を供給するスイッチ素子をオンするための第1のスイッチパルスを前記スイッチ素子に供給する第1のスキナと、第2の開始パルスが入力されたとき、マトリクスの各行の前記画素要素ごとに順次、前記画素要素に映像信号を供給するスイッチ素子をオンするための第2のスイッチパルスを前記スイッチ素子に供給する

第2のスキヤナと、備えたマルチ画面液晶表示装置において、前記第1または第2のスキヤナのいずれか一方は、最後の列または行の前記画素要素に映像信号を供給するための前記第1または第2のスイッチパルスと近接したタイミングでパルスが発生するパルス発生回路を含み、このパルス発生回路が発生した前記パルスが、隣接する液晶表示装置の前記第1または第2のスキヤナに対して前記第1または第2の開始パルスとして供給される、ことを特徴とする。

【0009】本発明はまた、複数の液晶表示装置を隣接配置して構成され、各液晶表示装置が、マトリクス状に配列された多数の画素要素と、第1の開始パルスが入力されたとき、マトリクスの各列の前記画素要素ごとに順次、前記画素要素に映像信号を供給するスイッチ素子をオンするための第1のスイッチパルスを前記スイッチ素子に供給する第1のスキヤナと、第2の開始パルスが入力されたとき、マトリクスの各行の前記画素要素ごとに順次、前記画素要素に映像信号を供給するスイッチ素子をオンするための第2のスイッチパルスを前記スイッチ素子に供給する第2のスキヤナと、備えたマルチ画面液晶表示装置において、前記第1のスキヤナは、最後の列の前記画素要素に映像信号を供給するための前記第1のスイッチパルスと近接したタイミングでパルスが発生する第1のパルス発生回路を含み、この第1のパルス発生回路が発生した前記パルスが、隣接する液晶表示装置の前記第1のスキヤナに対して前記第1の開始パルスとして供給され、前記第2のスキヤナは、最後の行の前記画素要素に映像信号を供給するための前記第2のスイッチパルスと近接したタイミングで前記パルスが発生する第2のパルス発生回路を含み、この第2のパルス発生回路が発生した前記パルスが、隣接する液晶表示装置の前記第2のスキヤナに対して前記第2の開始パルスとして供給される、ことを特徴とする。

【0010】本発明では、パルス発生回路が、最後の前記列または行の画素要素に映像信号を供給するための前記第1または第2のスイッチパルスと近接したタイミングでパルスが発生し、このパルス発生回路が発生したパルスが、隣接する液晶表示装置の第1または第2のスキヤナに対し第1または第2の開始パルスとして供給される。また、本発明では、第1のスキヤナの第1のパルス発生回路が、最後の列の画素要素に映像信号を供給するための第1のスイッチパルスと近接したタイミングでパルスが発生し、この第1のパルス発生回路が発生したパルスが、隣接する液晶表示装置の第1のスキヤナに対して第1の開始パルスとして供給される。そして、第2のスキヤナの第2のパルス発生回路は、最後の行の画素要素に映像信号を供給するための第2のスイッチパルスと近接したタイミングでパルスが発生し、この第2のパルス発生回路が発生したパルスが、隣接する液晶表示装置の第2のスキヤナに対して第2の開始パルスとして供給

される。したがって、本発明では、第1の開始パルスおよび第2の開始パルスが発生するための周辺回路を各液晶表示装置ごとに設ける必要がなく、装置の小型化および低コスト化を実現でき、さらに任意の画面サイズのマルチ画面液晶表示装置を容易に構成することができる。

【0011】

【発明の実施の形態】次に本発明の実施の形態を実施例にもとづき図面を参照して説明する。図1は本発明によるマルチ画面液晶表示装置の一例を示すブロック図、図2は図1のマルチ画面液晶表示装置を構成する液晶表示装置を示す回路構成図である。図2に示した液晶表示装置は図5に示した液晶表示装置とほぼ同一の構成となっており、図5と同一の構成要素には同一の符号を付し、それらに関する説明はここでは省略する。このマルチ画面液晶表示装置2は、 $x \times y$ (x, y は共に正の整数)の液晶表示装置4を、 x 列および y 行から成るマトリクス状に配列して構成されている。このマルチ画面液晶表示装置2では1つのシフトレジスタ駆動回路40が周辺回路として設けられ、H開始パルス34およびV開始パルス30を生成する。そして、H開始パルス34は、液晶表示装置4の各行の最初の列の位置（図1において最も左）に配置された各液晶表示装置4に供給され、そして、上記液晶表示装置4のH入力端子36を通じてHシフトレジスタ18に入力されている。一方、Vパルスは、液晶表示装置4の各列の最初の行の位置（図1において最も上）に配置された各液晶表示装置4に供給され、そして、上記液晶表示装置4のV入力端子32を通じてVシフトレジスタ20に入力されている。

【0012】各液晶表示装置4では、Hシフトレジスタ18が最後に出力するスイッチパルスPHmがH出力端子6を通じて外部に出力されており、またVシフトレジスタ20が最後に出力するスイッチパルスPVpがV出力端子8を通じて外部に出力されている。この液晶表示装置4は、上記H出力端子6およびV出力端子8が設けられている点で、図5の液晶表示装置と異なっている。そして、図1に示すように、液晶表示装置4のマトリクスの各行において、2番目以降の液晶表示装置4のH入力端子36は、左側に隣接する液晶表示装置4のH出力端子6にそれぞれ接続されている。また、液晶表示装置4の各列において、2番目以降の液晶表示装置4のV入力端子32は、上に隣接する液晶表示装置4のV出力端子8にそれぞれ接続されている。

【0013】次に動作を説明する。図3はHシフトレジスタ18の動作を示すタイミングチャート、図4はVシフトレジスタ20の動作を示すタイミングチャートである。まずHシフトレジスタ18の動作から説明する。図3に示すように、シフトレジスタ駆動回路40からH開始パルス34が入力されると、最初の列の液晶表示装置4の各Hシフトレジスタ18は、次のHクロックHCKの立ち上がり同期してスイッチパルスPH1を発生

し、その後、次々に各HクロックHCKの立ち上がりに同期してスイッチパルスPH2~PHmを発生する。そして、最後のスイッチパルスPHmが各Hシフトレジスタ18から出力されると、このスイッチパルスPHmは、各液晶表示装置4のH出力端子6を通じて、2列目の各液晶表示装置4のH入力端子36に入力され、そして2列目の各液晶表示装置4のHシフトレジスタ18にH開始パルス34として供給される。

【0014】2列目の各液晶表示装置4のHシフトレジスタ18は、このH開始パルス34（スイッチパルスPHm）が入力されると、1列目の各液晶表示装置4のHシフトレジスタ18と同様に、次のHクロックHCKの立ち上がりに同期してスイッチパルスPH1を発生し、その後、次々に各HクロックHCKの立ち上がりに同期してスイッチパルスPH2~PHmを発生する。そして、最後のスイッチパルスPHmは、上述の場合と同様に、3列目の各液晶表示装置4のHシフトレジスタ18にH開始パルス34として供給され、その後、4列目以降の各液晶表示装置4についても、同様に1つ前の液晶のHシフトレジスタ18から順次、H開始パルス34が供給される。

【0015】次に、Vシフトレジスタ20の動作を説明する。図4に示すように、シフトレジスタ駆動回路40からV開始パルス30が入力されると、最初の行の液晶表示装置4の各Vシフトレジスタ20は、次のVクロックVCKの立ち上がりに同期してスイッチパルスPV1を発生し、その後、次々に各VクロックVCKの立ち上がりに同期してスイッチパルスPV2~PVpを発生する。なお、図3の時間軸のスケールと、図4の時間軸のスケールとは大きく異なっており、VクロックVCKの1周期は、HクロックHCKの1周期のm倍程度となっている。そして、最後のスイッチパルスPVpが各Vシフトレジスタ20から出力されると、このスイッチパルスPVpは、各液晶表示装置4のV出力端子8を通じて、2行目の各液晶表示装置4のV入力端子32に入力され、そして2行目の各液晶表示装置4のVシフトレジスタ20にV開始パルス30として供給される。

【0016】2行目の各液晶表示装置4のVシフトレジスタ20は、このV開始パルス30（スイッチパルスPVp）が入力されると、1行目の各液晶表示装置4のVシフトレジスタ20と同様に、次のVクロックVCKの立ち上がりに同期してスイッチパルスPV1を発生し、その後、次々に各VクロックVCKの立ち上がりに同期してスイッチパルスPV2~PVpを発生する。そして、最後のスイッチパルスPVpは、上述の場合と同様に、3行目の各液晶表示装置4のVシフトレジスタ20にV開始パルス30として供給され、その後、4行目以降の各液晶表示装置4についても、同様に1つ前の液晶のVシフトレジスタ20から順次、V開始パルス30が供給される。

【0017】すなわち、このマルチ画面液晶表示装置2では、1列目および1行目の液晶表示装置4にはシフトレジスタ駆動回路40からH開始パルス34およびV開始パルス30が供給されるが、2列目以降の各列の液晶表示装置4のHシフトレジスタ18には、1つ前の列の液晶表示装置4からH開始パルス34が供給され、同様に2行目以降の各行の液晶表示装置4のVシフトレジスタ20には、1つ前の行の液晶表示装置4からV開始パルス30が供給される。したがって、このマルチ画面液晶表示装置2では、1つのシフトレジスタ駆動回路40しか必要なく、従来のように各液晶表示装置4ごとにシフトレジスタ駆動回路40を設けなくともよい。そのため、装置の小型化および低コスト化を実現でき、さらに任意の画面サイズのマルチ画面液晶表示装置を容易に構成することができる。

【0018】なお、この実施例では、各Hシフトレジスタ18およびVシフトレジスタ20が最後に出力するスイッチパルスをH開始パルス34およびV開始パルス30として用いているので、この場合には、各Hシフトレジスタ18およびVシフトレジスタ20の最後のシフト段が本発明の第1および第2のパルス発生回路として機能していることになる。また、上記実施例では、Hシフトレジスタ18およびVシフトレジスタ20はそれぞれH開始パルス34およびV開始パルス30が入力されると、次のHクロックHCKおよびVクロックVCKのタイミングでそれぞれ最初のスイッチパルスを発生するとしたが、シフトレジスタによっては開始パルスが入力されると直ちに最初のパルスを発生するものもある。そのような場合には、Hシフトレジスタ18およびVシフトレジスタ20として1段分だけ長いシフトレジスタを用い、上記最後のスイッチパルスの次にさらに1クロック分遅れて、追加したシフト段（本発明に係わる第1および第2のパルス発生回路）からパルスが出力されるようにし、そのパルスをH開始パルス34およびV開始パルス30として次の液晶表示装置4に供給するようにすればよい。

【0019】また、このようにシフトレジスタにシフト段を追加する以外にも、何らかのタイミング回路（本発明に係わる第1および第2のパルス発生回路）を設けてタイミングを調整し、後続の液晶表示装置に適切なタイミングでH開始パルス34およびV開始パルス30を供給するようにしてもよい。なお、上記実施例では各スイッチパルスをシフトレジスタにより発生させたが、上述のようなタイミングで生成されるスイッチパルスはシフトレジスタに限らず種々のタイミング回路により生成することができる。また、上記実施例では、n列の画素要素16に同時に映像信号を書き込むとしたが、本発明は、1列の画素要素16ごとに順次映像信号を書き込むタイプの液晶表示装置4にも無論適用可能である。

【0020】そして、上記実施例では、複数の行および

列を成して液晶表示装置4を配列するとしたが、板数の液晶表示装置4を横に並べたり、あるいは縦に並べ、例えば横長あるいは縦長の画面を構成することも可能であり、そのような場合にも本発明を適用して上記効果を得ることができる。ただし、そのような構成では、Hシフトレジスタ18またはVシフトレジスタ20のいずれか一方にのみ隣接する液晶表示装置4からH開始パルス34またはV開始パルス30を供給することになる。この場合にはいずれかのシフトレジスタの例えば最後のシフト段落番号が本発明のパルス発生回路として機能することになる。

【0021】

【発明の効果】以上説明したように本発明では、パルス発生回路が、最後の前記列または行の画素要素に映像信号を供給するための前記第1または第2のスイッチパルスと近接したタイミングでパルスを発生し、このパルス発生回路が発生したパルスが、隣接する液晶表示装置の第1または第2のスキヤナに対し第1または第2の開始パルスとして供給される。また、本発明では、第1のスキヤナの第1のパルス発生回路が、最後の列の画素要素に映像信号を供給するための第1のスイッチパルスと近接したタイミングでパルスを発生し、この第1のパルス発生回路が発生したパルスが、隣接する液晶表示装置の第1のスキヤナに対して第1の開始パルスとして供給される。そして、第2のスキヤナの第2のパルス発生回路は、最後の行の画素要素に映像信号を供給するための第2のスイッチパルスと近接したタイミングでパルスを発生し、この第2のパルス発生回路が発生したパルスが、隣接する液晶表示装置の第2のスキヤナに対して第2の開始パルスとして供給される。したがって、本発明では、第1の開始パルスおよび第2の開始パルスを発生す

るための周辺回路を各液晶表示装置ごとに設ける必要がなく、装置の小型化および低コスト化を実現でき、さらに任意の画面サイズのマルチ画面液晶表示装置を容易に構成することができる。

【図面の簡単な説明】

【図1】本発明によるマルチ画面液晶表示装置の一例を示すブロック図である。

【図2】図1のマルチ画面液晶表示装置を構成する液晶表示装置を示す回路構成図である。

【図3】Hシフトレジスタ18の動作を示すタイミングチャートである。

【図4】Vシフトレジスタ20の動作を示すタイミングチャートである。

【図5】従来の液晶表示装置の一例を示す回路構成図である。

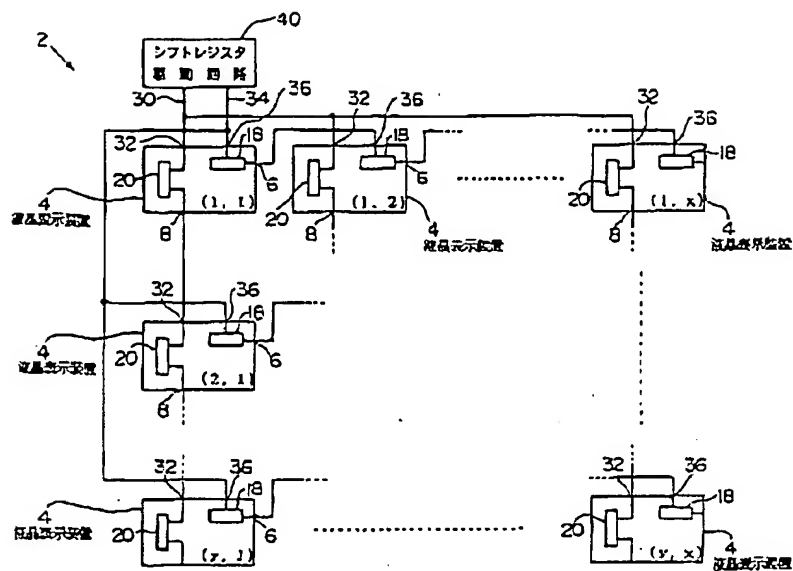
【図6】(A)はHシフトレジスタ18の動作を示すタイミングチャート、(B)はVシフトレジスタ20の動作を示すタイミングチャートである。

【図7】従来のマルチ画面液晶表示装置の一例を示すブロック図である。

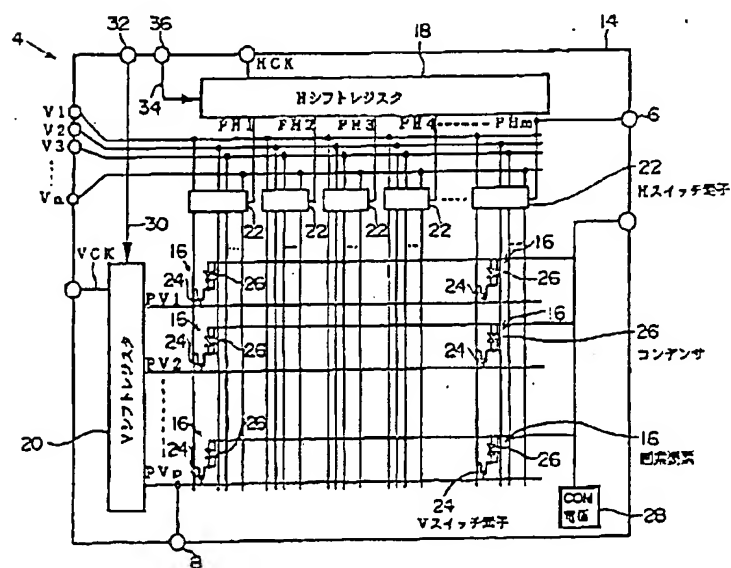
【符号の説明】

2……マルチ画面液晶表示装置、4……液晶表示装置、6……H出力端子、8……V出力端子、12……液晶表示装置、14……基板、16……画素要素、18……Hシフトレジスタ、20……Vシフトレジスタ、22……Hスイッチ素子、24……Vスイッチ素子、26……コンデンサ、28……共通電極、30……V開始パルス、32……V入力端子、34……H開始パルス、36……H入力端子、38……マルチ画面液晶表示装置、40……シフトレジスタ駆動回路。

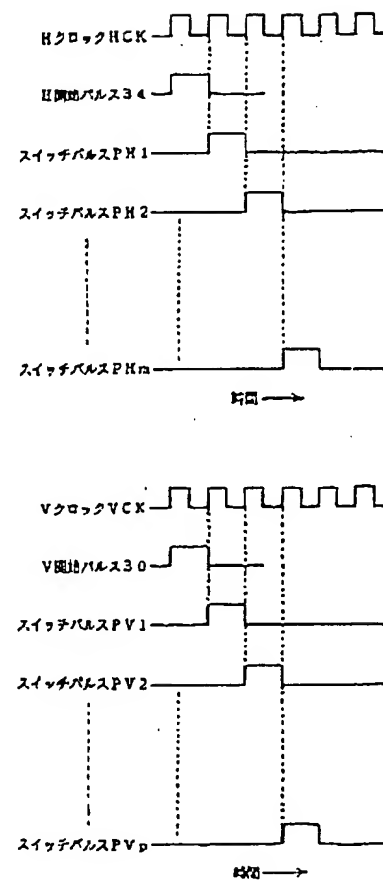
【図1】



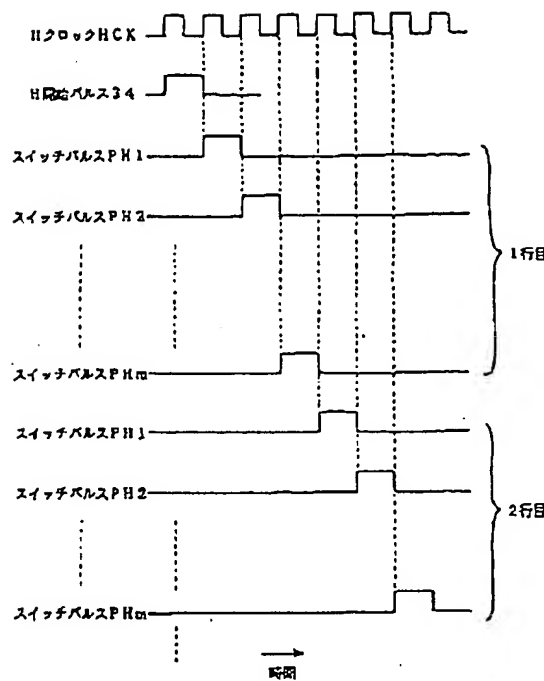
【図2】



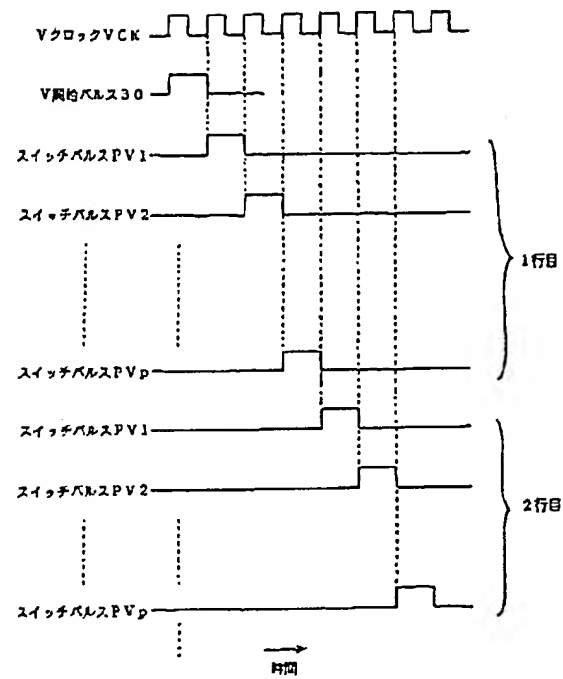
【図6】



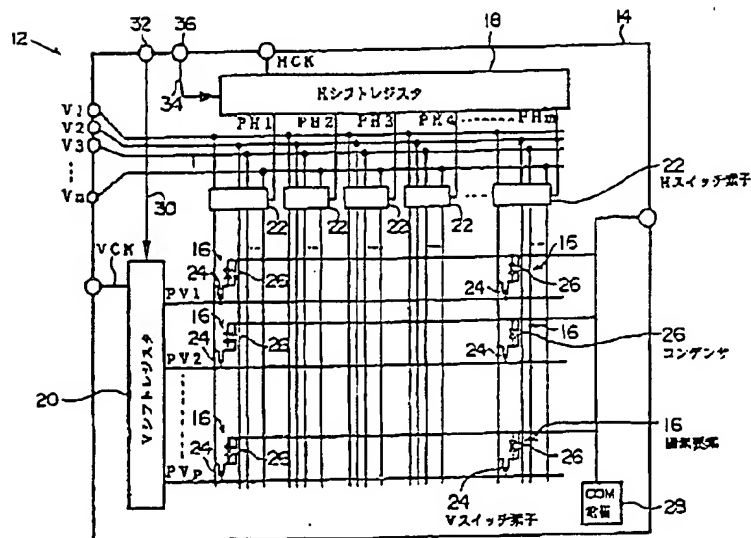
【図3】



【図4】



【図5】



【図7】

